

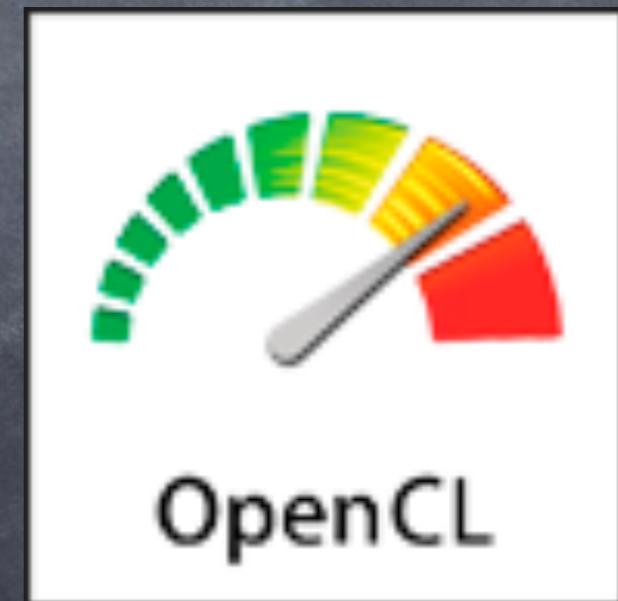
四倍精度専用プロセッサ

GRAPE-MPの性能評価

中里直人 (会津大学), 台坂博(一橋大学),
石川正(KEK), 湯浅富久子 (KEK), 牧野淳一郎(東工大)

Agenda

- GRAPE-MPの紹介と性能評価
- OpenCLによる四倍精度演算 (preliminary)



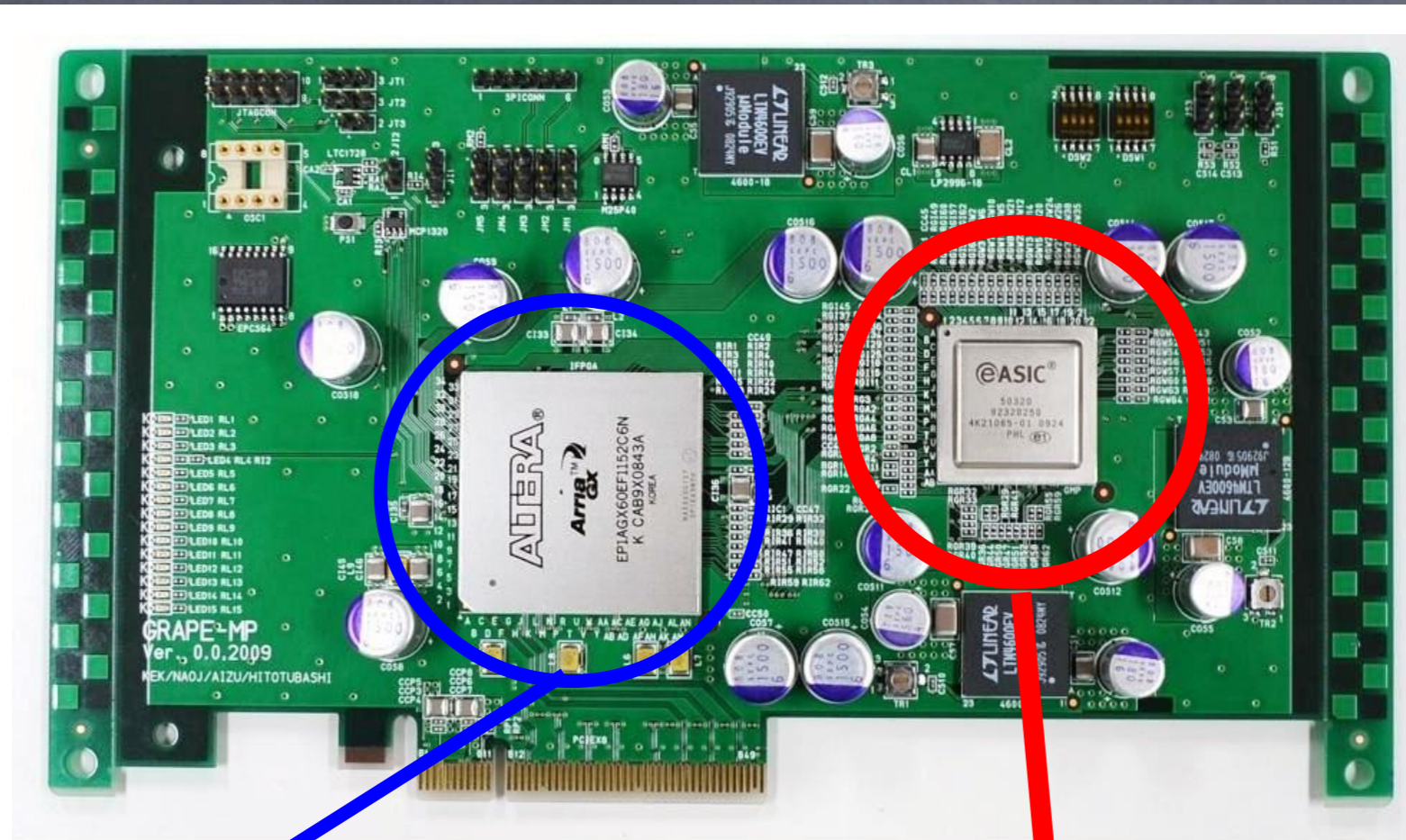
高精度演算の手法

- FP演算器によるソフトウェア実装
 - Knuth 1969 & Dekker 1971のエラーフリー演算
 - 1演算につき約20回のFP演算が必要
 - FMAなしCPUでは1 coreあたり ~ 100 Mflops
 - AMD GPU ~ 30 - 40 Gflops (中里によるテスト)
 - NVIDIA GPU ~ 30 Gflops (中田 2011)
- INT演算によるソフトウェア実装

GRAPE-MPの概要

- 四倍精度演算器をハードウェアで実装
 - 独自形式の128 bit 浮動小数点フォーマット
 - GRAPE-DRアーキテクチャを踏襲：SIMD計算器
 - 省メモリアーキテクチャ：演算密度の高い演算向け
 - PCI-Expressによりホスト計算機と接続して利用
 - Structured ASIC(eASIC)の採用
 - eASICとFPGAは演算粒度は同程度(どちらもLUTを利用)だが、FPGAではLUT間の配線が再構成可能なのに対し、eASICでは配線層が固定されている。原理的に性能あたりの単価はeASICのほうが安い。一方FPGAではチップの開発コストは必要ない。

GRAPE-MPボード



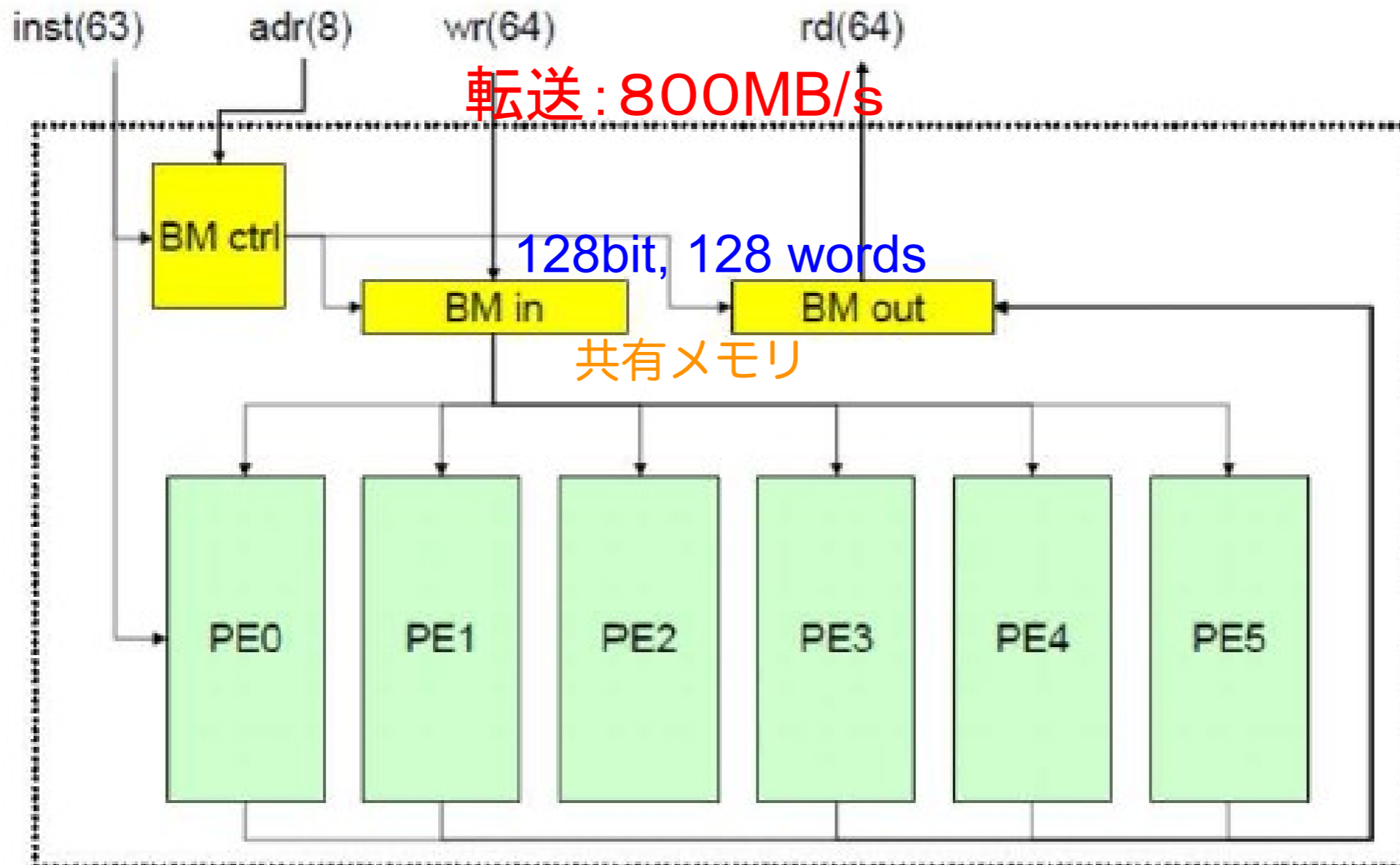
Control processor
(FPGA by Altera)

GRAPE-MP chip[Nextreme NX2500]
(structured ASIC by eASIC)

ホスト計算機からFPGAを介してGRAPE-MPを制御する
FPGAにPCI-Express x4 Gen.1を搭載
FPGAのメモリに「プログラム」を保持

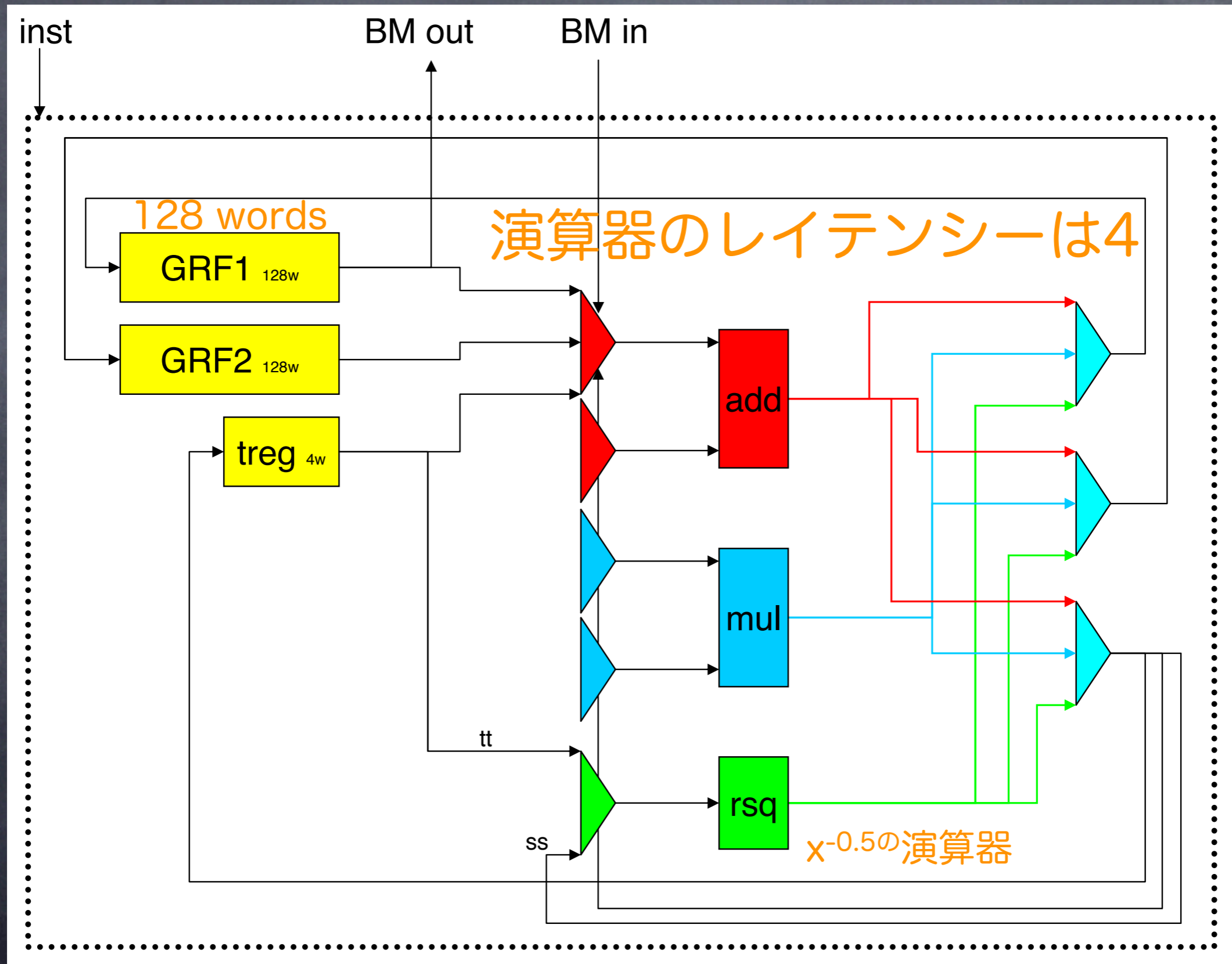
GRAPE-MPチップ

GRAPE-MP チップのブロック図



- 2 演算 x 100MHz x 6 PE = 1.2 Gflops
- 4 "論理" pipelines x 6 PE = 24 pipelines /chip

GRAPE-MPの演算ユニット(PE)



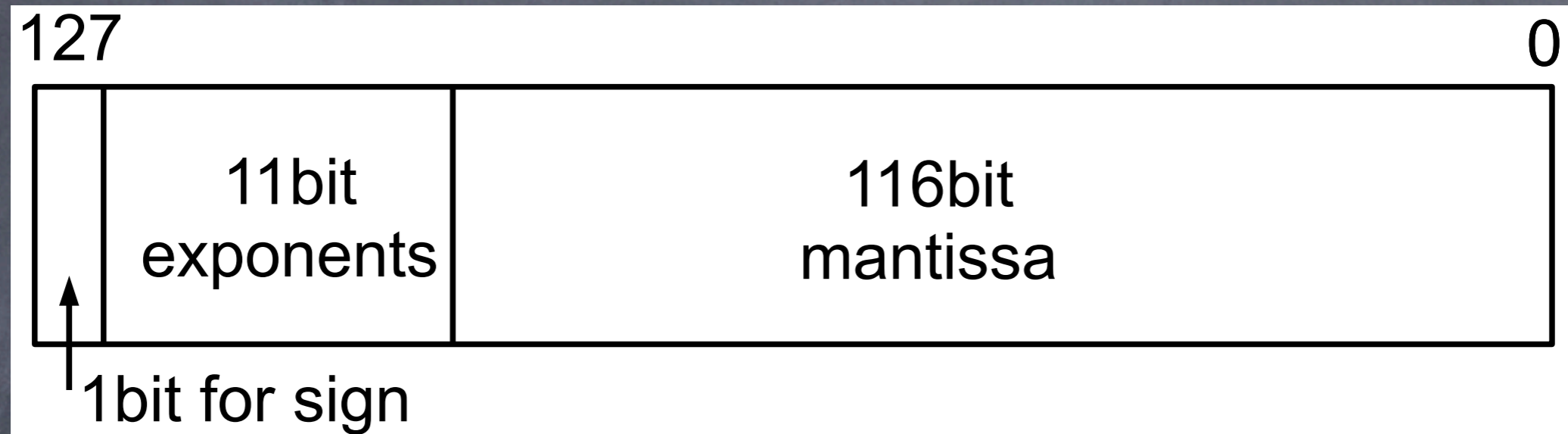
PEのプログラム

命令は63ビットのマイクロコード

```
( 0 ) : nop if 0
( 1 ) : sub?
( 2- 8 ) : grf_a adr 7 bit
( 9-15 ) : grf_b adr 7 bit
(16-22) : grf_c adr 7 bit
(23-29) : grf_d adr 7 bit
(30-31) : TREG adr 2 bit
(32-34) : ADD 1st arg : a,b,bm,t,ti
(35-37) : ADD 2nd arg : a,b,bm,t,ti
(38-40) : MUL 1st arg : a,b,bm,t,ti
(41-43) : MUL 2nd arg : a,b,bm,t,ti
(44 ) : RSQ 1st arg : t,ti
(45-46) : grf_c write : add, mul, rsq
(47-48) : grf_d write : add, mul, rsq
(49-50) : treg write : add, mul, rsq
(51 ) : bm out
(52-55) : bm mask : 1000 => 0, 1001 => 1, 1010 => 2 etc.
(56-62) : bm adr 7 bit (128 words)
```


eXtended-Double (XD)変数

- GRAPE-MPでの数値フォーマット



- ホストでDD/QD to XDなどを変換
- 場合によってはボトルネックに
- 丸め処理はforce1

GRAPE-MP開発の経緯(1)

- 2008年8月

- eASICでのプロセッサ開発の検討(牧野)

- 2008年10月

- 三つの設計案を検討(中里, 牧野)

- GRAPE-DRを拡張(捨てられているビットを保持)

- 整数の演算器をたくさん並べる

- 128ビット演算器を採用する

- 12月頃に第三案を採用することに決定

GRAPE-MP開発の経緯(2)

- 2008年12月-2009年1月
 - 設計にとりかかる(中里)
 - C言語でエミュレーションプログラムを作成 (GNU MPを利用)
 - HDLでの演算回路とプロセッサの設計とテスト
- 2009年1月-4月
 - 1月17日「GRAPE-MP」と命名
 - 回路設計とシステムソフトなどの実装(中里)
 - 物理設計担当会社との打ち合わせ(中里, 牧野)

GRAPE-MP開発の経緯(3)

- 2009年4月 -

- 4月30日テープアウト

- 7月下旬チップが届く

- 7月 - 12月

- GRAPE-MPボードの設計(台坂)

- アセンブラやシステムソフトの整備(中里)

- 2010年4月

- GRAPE-MPボードが納品される

GRAPE-MP開発の経緯(4)

● 2010年4月-

● FPGA回路の設計とプログラミングインターフェースの実装(台坂, 中里)

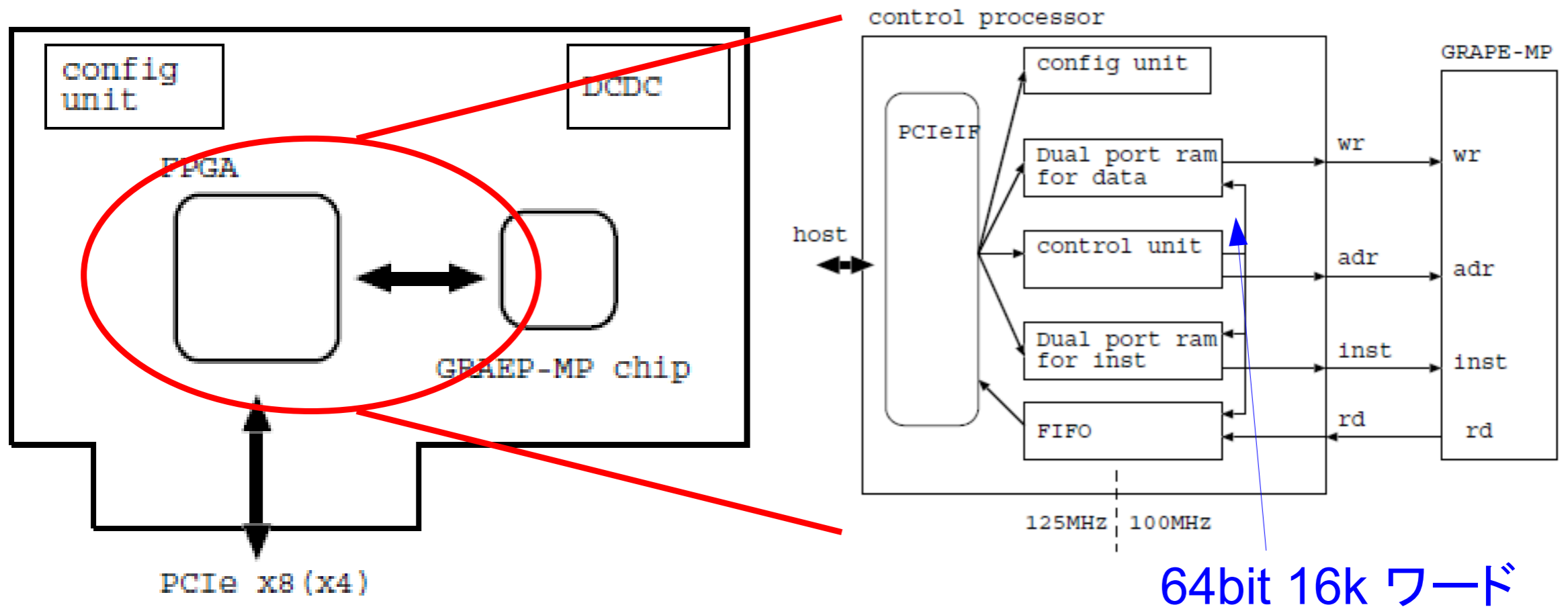
- PCI-Expressコアとのインターフェース
- ループ演算に対応した制御回路の実装
- エミュレータと実機での動作を統一して扱えるAPIの実装

● この年の後半ころから性能評価をおこなった

- 重力多体問題
- ファインマン積分(二重指数積分)の計算

FPGAによる制御について

GRAPE-MPボードのブロック図



- IO control processor をGRAPE-MP チップから分離
- MP チップのPE数を最大にするため
- 開発を簡単にするため

ホストプログラムの概要

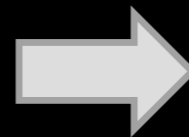
- セットアップ(命令列の転送など)
- 共有メモリへのデータ転送
- 各PEのレジスタへのデータ転送
- 命令列(カーネル)の実行
 - 共有メモリからデータをロードし命令列を実行
 - 共有メモリがつかなくなるまで繰り返し実行
- 結果を共有メモリへ書き込み
- 結果をホスト側へ転送

$$f_i = \sum_{j=1}^N \frac{m_j (\mathbf{x}_i - \mathbf{x}_j)}{(|\mathbf{x}_i - \mathbf{x}_j|^2 + \epsilon^2)^{3/2}}$$

GRAPE-MPアセンブラ

- プログラミング用にアセンブラを実装
 - 三つ組で書いたコードをマイクロコードに変換
 - 全ての命令はベクトル長4として扱われる

```
sub bm16v ra0v rb40v
sub bm20v ra4v rb44v
sub bm24v ra8v rb48v
mul rb40v rb40v ra36v
mul rb44v rb44v tt
add ra36v ts ra32v
mul rb48v rb48v tt
add ra32v ts tt
```



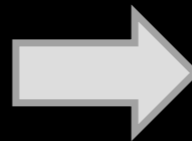
```
1006600214000003 0001000000000110011000000000010000101000
1106600214800007 0001000100000110011000000000010000101001
120660021500000b 0001001000000110011000000000010000101010
130660021580000f 0001001100000110011000000000010000101011
1406600216000013 0001010000000110011000000000010000101100
1506600216800017 0001010100000110011000000000010000101101
160660021700001b 0001011000000110011000000000010000101110
170660021780001f 0001011100000110011000000000010000101111
1806600218000023 0001100000000110011000000000010000110000
1906600218800027 0001100100000110011000000000010000110001
1a0660021900002b 0001101000000110011000000000010000110010
1b0660021980002f 0001101100000110011000000000010000110011
7a24000245001 00000000000001111010001001000000000000001001000
7a24000255201 00000000000001111010001001000000000000001001010
7a24000265401 00000000000001111010001001000000000000001001100
7a24000275601 00000000000001111010001001000000000000001001110
3e24000005801 000000000000011111000100100000000000000000000000
3e24040005a01 000000000000011111000100100000010000000000000000
3e24080005c01 000000000000011111000100100000010000000000000000
3e240c0005e01 000000000000011111000100100000011000000000000000
7802000200091 000000000000011110000000010000000000000001000000
7802000210095 00000000000001111000000001000000000000001000010
7802000220099 00000000000001111000000001000000000000001000100
780200023009d 00000000000001111000000001000000000000001000110
3e24000006001 00000000000001111100010010000000000000000000000000
3e24040006201 00000000000001111100010010000000100000000000000000
3e24080006401 00000000000001111100010010000001000000000000000000
3e240c0006601 00000000000001111100010010000001100000000000000000
1e02000000081 0000000000000111100000001000000000000000000000000000
1e02040000085 00000000000001111000000010000001000000000000000
```


LSUMPプログラミングシステム

● 総和計算の並列化用DSL

- GRAPE-MP, GRAPE-DR, GPUなどに対応
- 単精度、倍精度、四倍精度をサポート

```
VARI xi, yi, zi, e2;  
VARJ xj, yj, zj, mj;  
VARF ax, ay, az, pt;  
  
dx = xj - xi;  
dy = yj - yi;  
dz = zj - zi;  
  
r1i = rsqrt(dx**2 + dy**2 + dz**2 + e2);  
  
pf = mj*r1i;  
pt += pf;  
  
af = pf*r1i**2;  
  
ax += af*dx;  
ay += af*dy;  
az += af*dz;
```

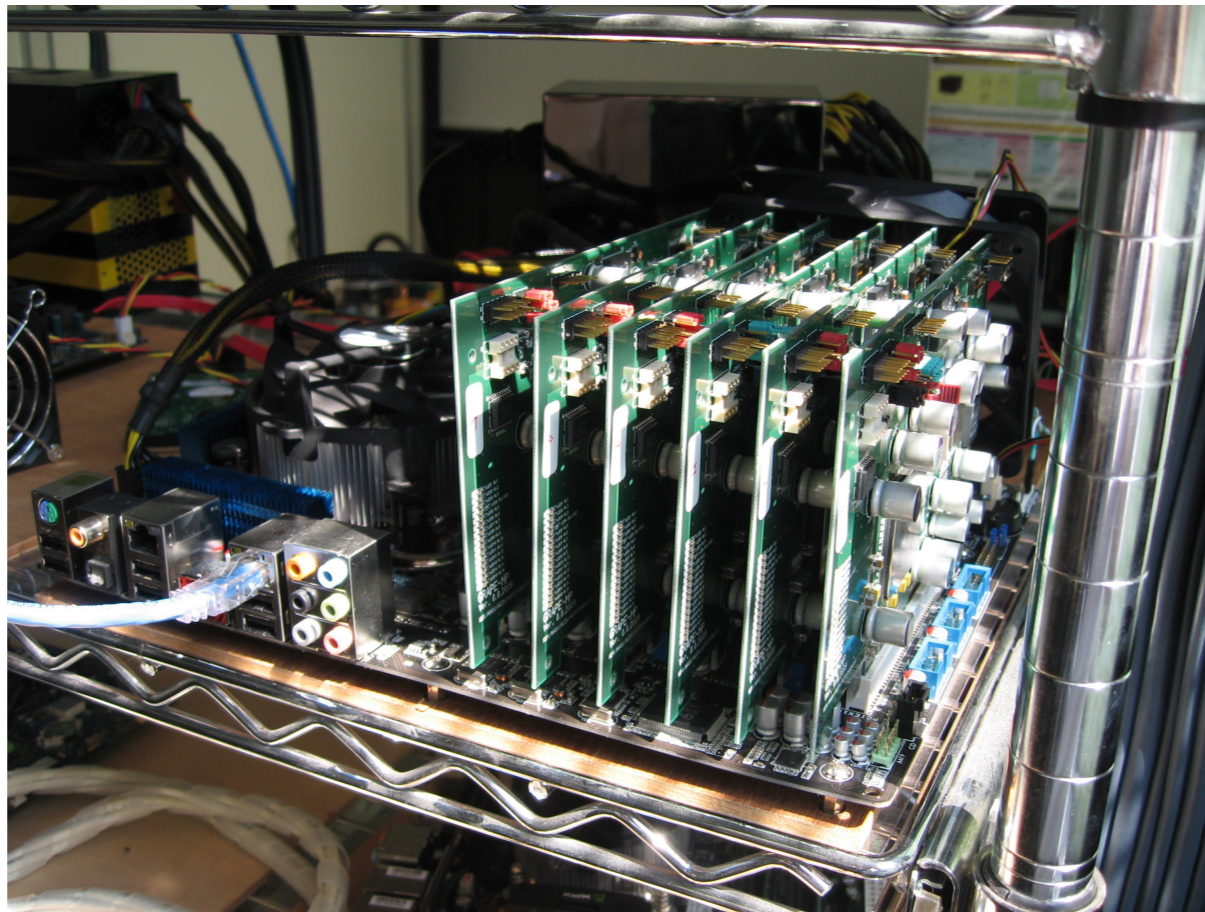


```
bm_in bm12v ra12v pe0  
bm_in bm8v ra8v pe0  
bm_in bm4v ra4v pe0  
bm_in bm0v ra0v pe0  
mov zz ra16v  
mov zz ra28v  
mov zz ra24v  
mov zz ra20v  
sub bm16v ra0v rb40v  
sub bm20v ra4v rb44v  
sub bm24v ra8v rb48v  
mul rb40v rb40v ra36v  
mul rb44v rb44v tt  
add ra36v ts ra32v  
mul rb48v rb48v tt  
add ra32v ts tt  
sub tt ra12v tt
```

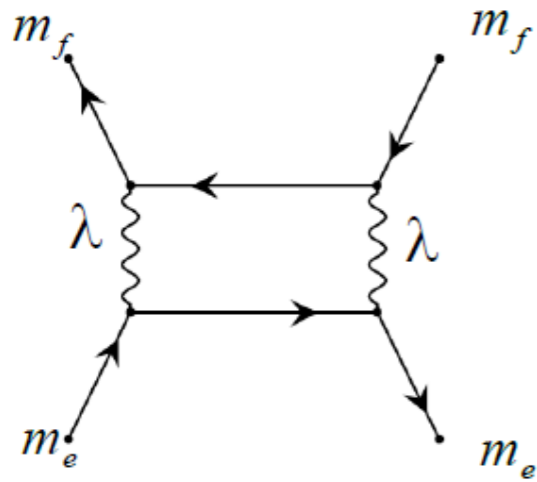

GRAPE-MPの性能評価

テスト環境

- CPU: Intel Core i7 920 (OC 3GHz)
- MEM: DDR-1333 12GB (1208MHz動作)
- MB: Asus P6T6 WS Revolution (6PCIe スロット)
- 6ボードを搭載して性能評価



ファインマン積分



$$s = -500^2 \text{ GeV}^2$$

$$m_e = 0.511 \times 10^{-3} \text{ GeV}$$

$$m_f = 150 \text{ GeV}$$

$$\lambda = 10^{-30} \text{ GeV}$$

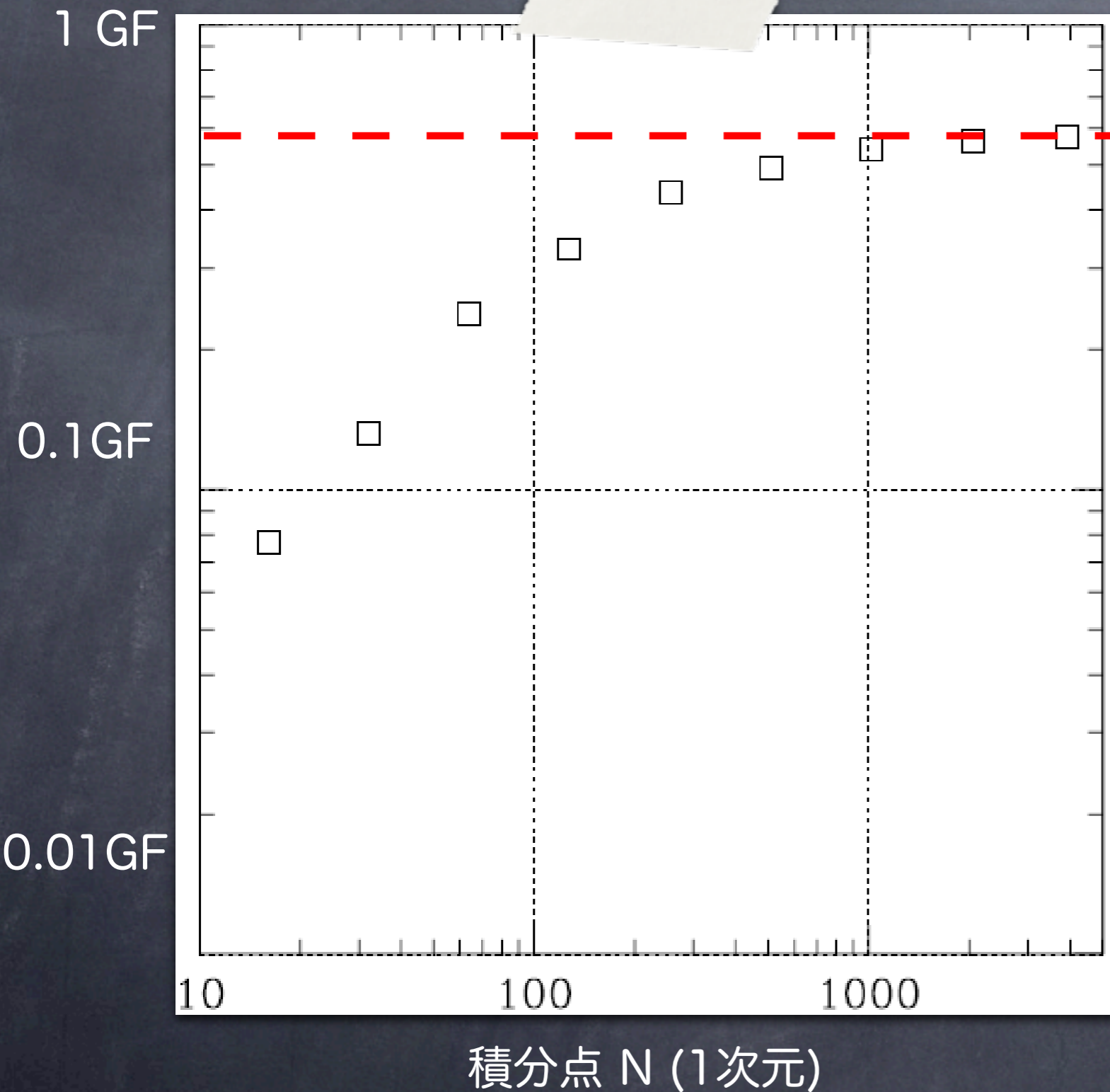
$$I = \int_0^1 dx \int_0^{1-x} dy \int_0^{1-x-y} dz \frac{1}{D^2}$$

$$D = -xys - tz(1-x-y-z) + (x+y)\lambda^2$$

$$+ (1-x-y-z)(1-x-y)m_e^2 + z(1-x-y)m_f^2$$

- x, y を与える、一番内側の z の和を計算
- 同時に (x, y) の24組を計算
- 積分のポイント数 N を変えて計算
- $41 N^3$ 演算

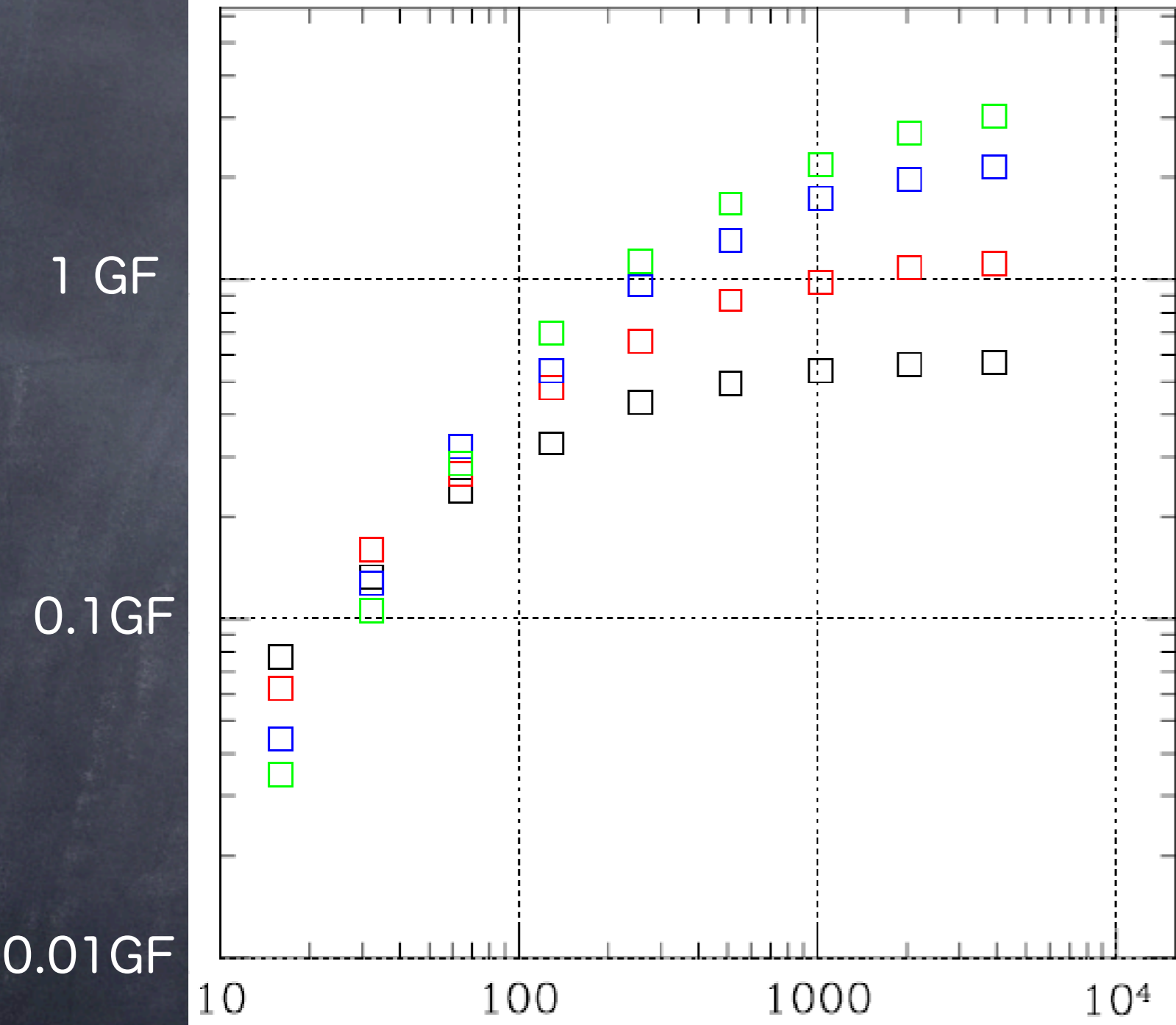
ファインマン積分の性能評価



0.574 Gflops@N=3900
(48演算換算)
理論性能の47%

CPUの3倍高速
(Core2Duo E8600 3GHz)

複数ボードでの性能評価



•i並列

146 pipelines(6台)

96 pipelines(4台)

48 pipelines(2台)

•性能(N=3900)

3.040 Gflops (5.30倍)

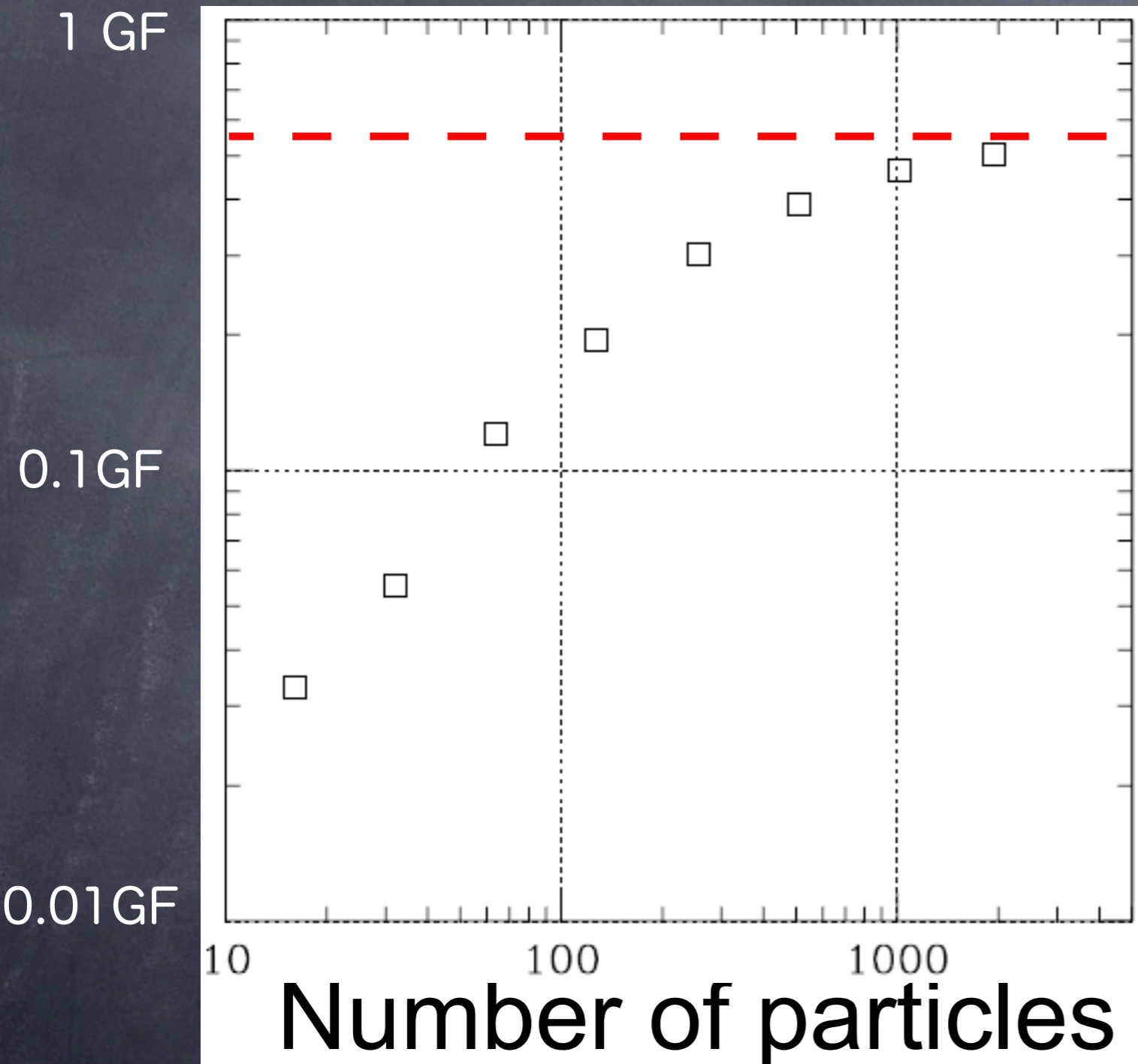
2.150 Gflops (3.75倍)

1.118 Gflops (1.95)

Number of particles/points

ほぼ線形にスケールリング

N体計算の性能評価



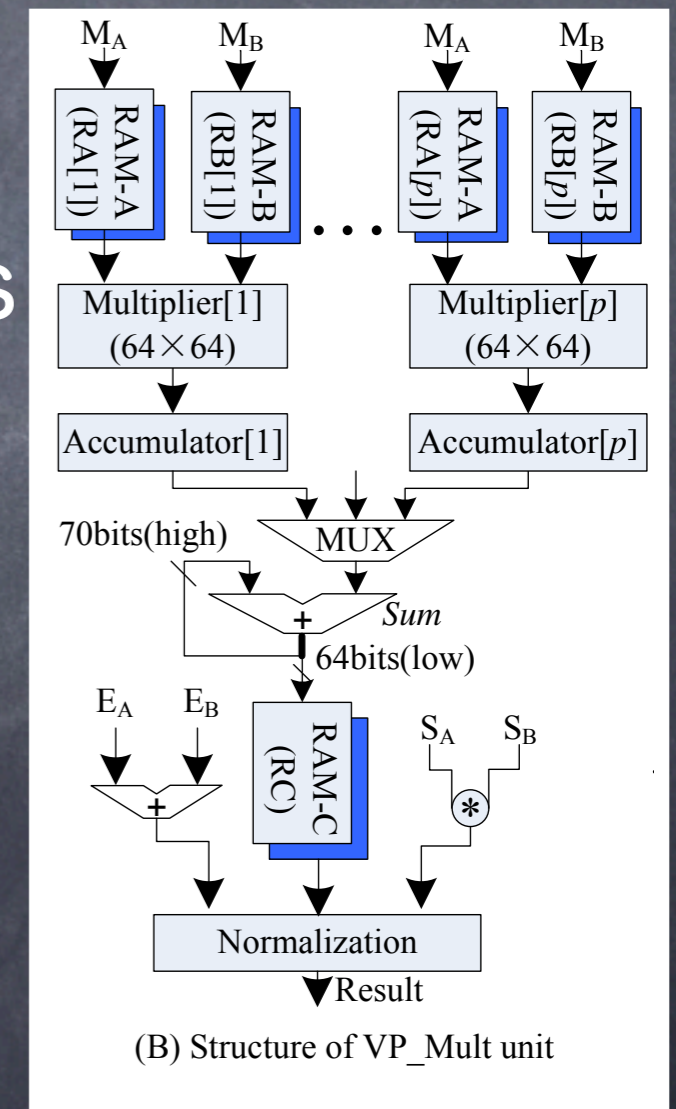
0.505 Gflops@N=3900
(33演算換算)
理論性能の42%

CPUの10倍高速
(Core2Duo E8600 3GHz)

多倍長演算ハードウェアの例 (1)

- Lei, Dou, Zhou (2011)
 - VLIW architecture using FPGA
 - 64-bit arithmetic : ~ 250 MHz
 - 1024bit ADD 32/ MUL 104 cycles

Op	1024 bits			2048 bits		
	MPFR	Our	Speedup	MPFR	Our	Speedup
$x \pm y$	0.7	0.126	5.6	1.25	0.25	5
$x \times y$	12.9	0.41	31.5	32.18	1.30	24.8
x/y	18.6	1.95	9.5	64.1	5.05	12.7
\sqrt{x}	18.8	2.52	7.5	46.9	6.39	7.3
Sin(x)	458	21.0	21.8	1766	82.0	21.5
Cos(x)	405	22.2	18.2	1640	73.5	22.3
Exp(x)	420	23.0	18.3	1515	83.2	18.2
Ln(x)	579.7	15.7	36.9	1547	46.1	33.6



多倍長演算ハードウェアの例 (2)

● 泊 & 平木 (2011) SWoPP'11

- 八倍精度演算器をFPGAで実装：～ 80 MHz
- 537 Mflops : POWER7の8 coreの約5倍高速

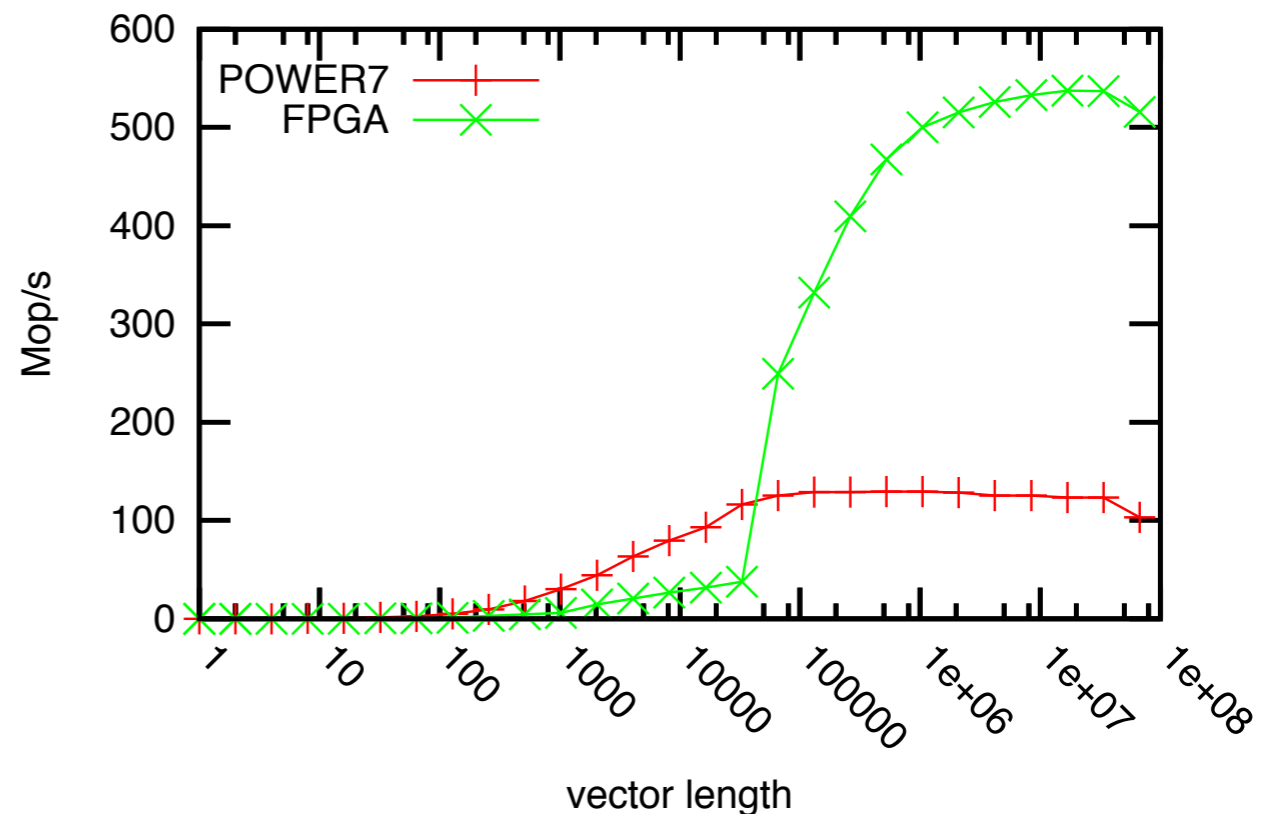


図 7 ベクトル長に対するソフトウェア 8 倍精度演算と FPGA 実装の性能 横軸は要素数

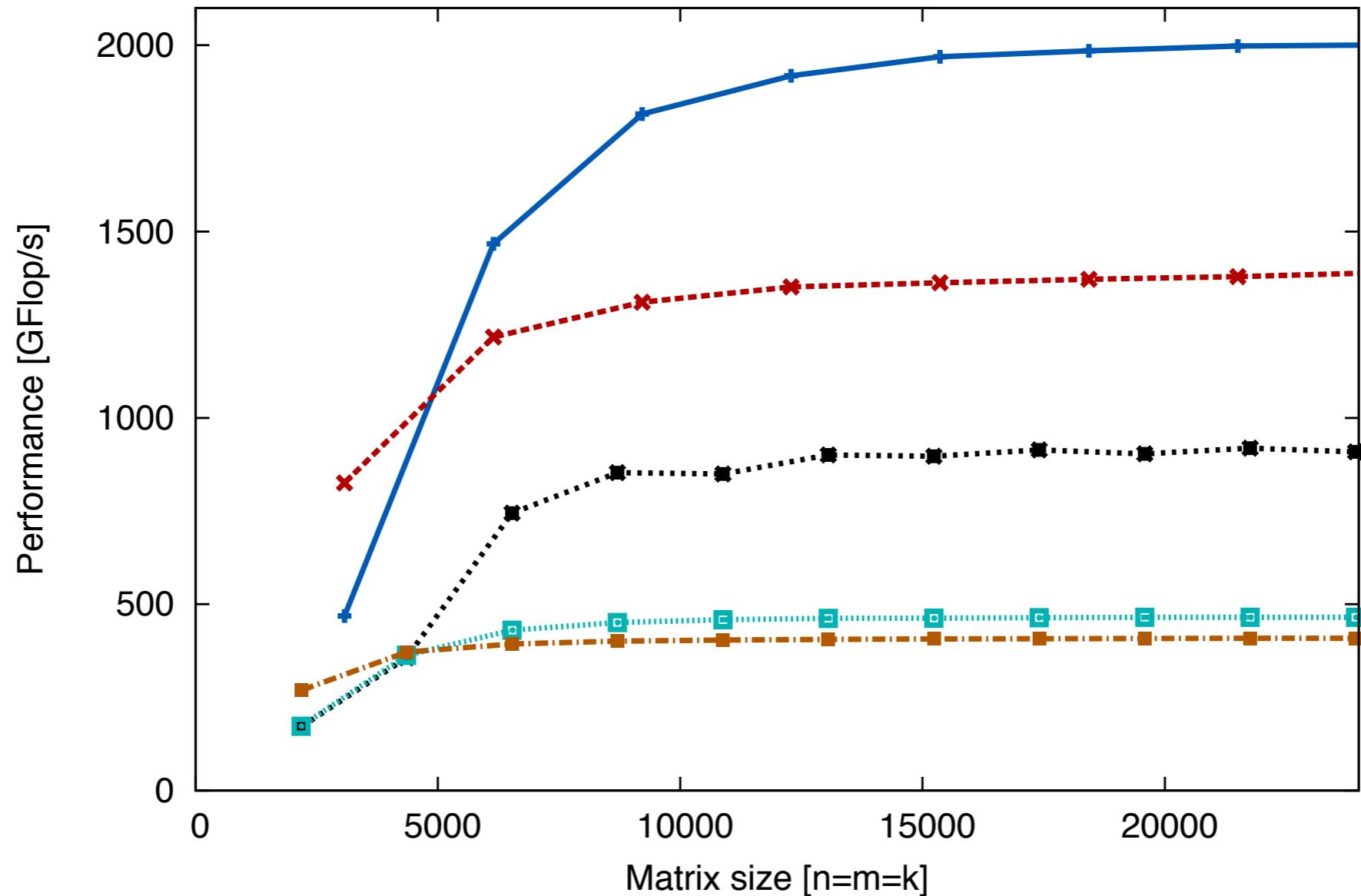
GRAPE-MPまとめ

- 四倍精度演算用SIMD型計算機
 - 世界で初めての高精度専用計算機
 - 1ボードあたり1.2 Gflopsの性能
 - 総和演算では有効に利用可能
 - 複数ボードでの並列化もスケールする

SGEMM/DGEMM on GPU

Performance of $C \leftarrow AB + C$
on CPU-GPU Systems

Matsumoto et al. 2011



SGEMM on System A (HD 5870 GPU + Core i7 970 CPU) —+—
SGEMM on System B (HD 6970 GPU + Core i7 2600k CPU) -x-
DGEMM on System C (2 HD 5870 GPUs + Core i7 960 CPU) *...
DGEMM on System A (HD 5870 GPU + Core i7 970 CPU) □...
DGEMM on System B (HD 6970 GPU + Core i7 2600k CPU) -□-

転置の場合も含めて最適化

Maximum Performance

		System A	System B
	Variant	Perf. [GFlop/s]	Perf. [GFlop/s]
DGEMM	$C \leftarrow A^T B + C$	419	467
	$C \leftarrow AB + C$	417	467
	$C \leftarrow A^T B^T + C$	418	467
	$C \leftarrow AB^T + C$	400	466
SGEMM	$C \leftarrow A^T B + C$	1455	2010
	$C \leftarrow AB + C$	1436	2010
	$C \leftarrow A^T B^T + C$	1442	2010
	$C \leftarrow AB^T + C$	1301	1577

Matsumoto et al. 2011